

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-65113

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/00				
19/096	Z			
H 0 4 L 7/02				
			H 0 3 K 5/00	V
			H 0 4 L 7/02	Z
審査請求 未請求 請求項の数9 OL (全12頁) 最終頁に続く				

(21) 出願番号 特願平6-196609  
(22) 出願日 平成6年(1994)8月22日

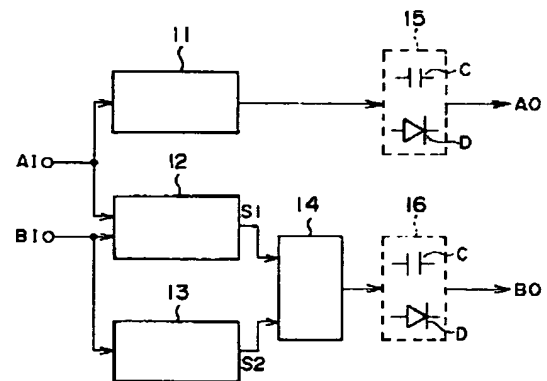
(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72) 発明者 宮崎 幸徳  
鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内  
(72) 発明者 下津浜 功  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 信号同期化回路及び信号同期化方法

(57) 【要約】

【目的】 信号同期化回路の改善に関し、2つの信号のデューティ比が異なっている場合であっても、一方のデューティ比の信号を位相補正して、他方のデューティ比の信号に揃える。

【構成】 同期目標となる一方の信号A Iを遅延する第1の遅延回路11と、一方の信号A Iと該一方の信号A Iに同期させる他方の信号B Iとの位相差を検出する位相検出回路12と、他方の信号B Iを遅延する第2の遅延回路13と、位相検出回路12からの位相検出信号S1に基づいて第2の遅延回路13からの他方の遅延信号S2の位相を補正し、かつ、該位相検出信号S1の立ち上がり又は立ち下がりに基づいて該遅延信号S2のデューティ比を補正する位相補正回路14とを備える。



11: 第1の遅延回路  
12: 位相検出回路  
13: 第2の遅延回路  
14: 位相補正回路  
15: 第1の調整素子  
16: 第2の調整素子  
A I: 一方の信号  
B I: 他方の信号  
S1: 位相検出信号  
S2: 遅延信号  
C: 容量  
D: ダイオード  
A O, B O: 出力信号

(2)

1

## 【特許請求の範囲】

【請求項1】 同期目標となる一方の信号を遅延する第1の遅延回路と、前記一方の信号と該一方の信号に同期させる他方の信号との位相差を検出する位相検出回路と、前記他方の信号を遅延する第2の遅延回路と、前記位相検出回路からの位相検出信号に基づいて前記第2の遅延回路からの遅延信号の位相を補正し、かつ、該位相検出信号の立ち上がり又は立ち下がりに基づいて該遅延信号のデューティ比を補正する位相補正回路とを備えることを特徴とする信号同期化回路。

【請求項2】 前記第1の遅延回路及び第2の遅延回路はノンインバータから成ることを特徴とする請求項1記載の信号同期化回路。

【請求項3】 前記第1の遅延回路及び第2の遅延回路は、一方の入力に低電位が供給された排他論理和回路から成ることを特徴とする請求項1記載の信号同期化回路。

【請求項4】 前記第1の遅延回路からの遅延信号をタイミング調整する第1の調整素子及び前記位相補正回路からの出力信号をタイミング調整する第2の調整素子が設けられることを特徴とする請求項1記載の信号同期化回路。

【請求項5】 前記第1の調整素子及び第2の調整素子は、前記第1の遅延回路の出力及び前記位相補正回路の出力にそれぞれ接続された容量から成ることを特徴とする請求項4記載の信号同期化回路。

【請求項6】 前記第1の調整素子及び第2の調整素子は、前記第1の遅延回路の出力及び前記位相補正回路の出力に対して逆方向にそれぞれ接続されたダイオードから成ることを特徴とする請求項4記載の信号同期化回路。

【請求項7】 前記位相検出回路及び位相補正回路は排他論理和回路から成ることを特徴とする請求項1～6記載のいずれかの信号同期化回路。

【請求項8】 同期目標となる任意のデューティ比の一方の信号と該一方の信号に同期させる他方の信号との第1の排他論理和を採り、前記第1の排他論理和によって得られる出力信号と、前記他方の信号を遅延した信号との第2の排他論理和を採ることを特徴とする信号同期化方法。

【請求項9】 前記同期目標となる信号のデューティ比が可変されることを特徴とする請求項8記載の信号同期化方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、信号同期化回路に関するものであり、更に詳しく言えば、周波数が等しく位相及びデューティ比が異なる2つの信号の位相差を補正して信号波形を揃える回路に関するものである。近年、情報処理装置を通信回線を介して接続してデータ通信が行

2

われる。この際に、通信線からの受信信号を取り込む場合に、装置内部の受信回路の基準信号に外部から到来する信号を同期化させる必要がある。

【0002】これによれば、周波数が等しく位相が異なる2つの信号の位相差を補正して一方の信号に他方の信号を同期させる信号同期化回路が使用される。しかし、2つの信号の位相差が時間と共に変化したり、2つの信号のデューティ比が変動していると同期化が困難となる。そこで、2つの信号のデューティ比が異なっている場合であっても、一方のデューティ比の信号を位相補正して、他方のデューティ比の信号に揃えることができる回路が望まれている。

## 【0003】

【従来の技術】図13は、従来例に係る説明図であり、図13(A)は従来例に係る信号同期化回路の構成図であり、図13(B)は、その問題点を説明する動作波形図をそれぞれ示している。例えば、外部からの到来信号BIを受信回路の基準信号AIに同期させる信号同期化回路は、図13(A)に示すように、到来信号BIを基準信号AIに同期させるノンインバータ1から成る。

【0004】当該信号同期化回路の機能は、例えば、図13(B)に示すようにデューティ比6:4の基準信号AIに、デューティ比8:2の到来信号BIを同期化する場合であって、信号BIが信号AIよりも位相差 $\phi$ だけ遅れている場合に、ノンインバータ1の最適な遅延段数が求められ、それが位相差 $\phi=0$ となる最適値に固定される。

【0005】これにより、基準信号AI=AOの立ち上がり、到来信号BIを位相補正をした出力信号BOの立ち上がりとが同期化される。なお、信号AI=AOのデューティ比は6:4であり、出力信号BOのデューティ比は8:2のままである。

## 【0006】

【発明が解決しようとする課題】ところで、従来例によれば、信号同期化回路がノンインバータ1により構成され、デューティ比が固定された2つの信号AI、BIに対して、その遅延段数を可変することにより位相補正される。このため、位相差 $\phi$ が常に一定であれば、デューティ比は一致しないものの、図13(A)に示したようなノンインバータを利用した信号同期化回路により両信号AI、BIの同期化の要求に対して十分対処できる。しかし、2つの信号AI、BIの位相差 $\phi$ が時間と共に変化したり、両信号AI、BIのデューティ比が変動していると、ノンインバータ1の遅延段数を可変する方法では十分対処することができない。その都度位相補正を行わなくてはならない。

【0007】これにより、未知のデューティ比の信号BIを任意のデューティ比の基準信号AIに揃える信号同期化の要求があった場合に、従来例のようなノンインバータ1の遅延段数を可変する位相補正の方法では十分対

(3)

3

処できないという問題がある。本発明は、かかる従来例の問題点に鑑み創作されたものであり、2つの信号のデューティ比が異なっている場合であっても、一方のデューティ比の信号を位相補正して、他方のデューティ比の信号に揃えることが可能となる信号同期化回路の提供を目的とする。

【0008】

【課題を解決するための手段】図1は、本発明に係る信号同期化回路の原理図を示している。本発明の第1の信号同期化回路は図1に示すように、同期目標となる一方の信号A Iを遅延する第1の遅延回路11と、前記一方の信号A Iと該一方の信号A Iに同期させる他方の信号B Iとの位相差 $\phi$ を検出する位相検出回路12と、前記他方の信号B Iを遅延する第2の遅延回路13と、前記位相検出回路12からの位相検出信号S 1に基づいて前記第2の遅延回路13からの遅延信号S 2の位相を補正し、かつ、該位相検出信号S 1の立ち上がり又は立ち下がりに基づいて該遅延信号S 2のデューティ比を補正する位相補正回路14とを備えることを特徴とする。

【0009】本発明の第1の信号同期化回路において、前記第1の遅延回路11及び第2の遅延回路12はノンインバータから成ることを特徴とする。本発明の第2の信号同期化回路は、前記第1の遅延回路11及び第2の遅延回路12が、一方の入力に低電位を供給する排他論理和回路から成ることを特徴とする。

【0010】本発明の第3の信号同期化回路は、前記第1の遅延回路11によって遅延された一方の出力信号A Oをタイミング調整する第1の調整素子15及び前記位相補正回路14からの出力信号B Oをタイミング調整する第2の調整素子16が設けられることを特徴とする。本発明の第3の信号同期化回路において、前記第1の調整素子15及び第2の調整素子16が、前記第1の遅延回路11の出力及び前記位相補正回路14の出力にそれぞれ接続された容量Cから成ることを特徴とする。

【0011】本発明の第4の信号同期化回路は、前記第1の調整素子15及び第2の調整素子16が、前記第1の遅延回路11の出力及び前記位相補正回路14の出力に対して逆方向にそれぞれ接続されたダイオードDから成ることを特徴とする。本発明の第1～第4の信号同期化回路において、前記位相検出回路12及び位相補正回路14は排他論理和回路から成ることを特徴とする。

【0012】本発明の信号同期化方法は、同期目標となる任意のデューティ比の一方の信号A Iと該一方の信号A Iに同期させる他方の信号B Iとの第1の排他論理和を採り、前記第1の排他論理和によって得られる出力信号S 1と、前記他方の信号B Iを遅延した信号S 2との第2の排他論理和を採ることを特徴とする。本発明の信号同期化方法において、前記一方の信号A Iのデューティ比が可変されることを特徴とし、上記目的を達成する。

4

【0013】

【作 用】本発明の第1の信号同期化回路の動作を図1を参照しながら説明する。例えば、周波数が同じであっても、同期目標となるA I信号よりもB I信号の位相が遅れている場合、任意のデューティ比の信号A Iと他方の信号B Iとが位相検出回路12に入力されると、その位相差 $\phi$ が当該回路12により検出される。この位相差 $\phi$ は、例えば、信号A Iと信号B Iの信号立ち上がりエッジの差であり、位相検出信号S 1の「H」レベルの期間となる。

【0014】ここで検出された位相検出信号S 1は、信号A I及びB Iが共に「L」レベルのとき、また、それが共に「H」レベルのときには、信号S 1＝「L」レベルが位相補正回路14に出力される。また、信号A I又はB Iどちら一方が「H」レベルのときには、信号S 1＝「H」レベルが位相補正回路14に出力される。一方、位相検出回路12での信号遅延を補正するために、例えば、ノンインバータから成る第2の遅延回路13により他方の信号B Iが遅延されると、この遅延信号S 2が、位相検出回路12からの位相検出信号S 1に基づいて位相補正回路14により位相補正される。また、遅延信号S 2のデューティ比は位相検出信号S 1の立ち上がり又は立ち下がりによって、信号A Iのデューティ比に合わせ込まれる。この結果、位相補正回路14から出力（排他論理和）信号B Oが得られる。

【0015】この出力信号B Oは、信号S 1及びS 2が共に「L」レベルのとき、また、それが共に「H」レベルのときには、信号B O＝「L」レベルとなる。また、信号S 1又はS 2どちら一方が「H」レベルのときには、信号B O＝「H」レベルとなる。このため、第1の遅延回路11からの出力信号A Oに位相補正回路14からの出力信号B Oを同期させることができる。なお、第1の遅延回路11により、信号B Iの位相検出及び補正による信号遅延量と、信号A Iの遅延量とが揃えられる。

【0016】これにより、2つの信号A I、B Iの位相差 $\phi$ が時間と共に変化したり、両信号A I、B Iのデューティ比が変動した場合であっても、従来例に比べて、容易に両信号A I、B Iを同期させることができ、受信信号の同期化に十分対処することが可能となる。本発明の第2の信号同期化回路によれば、一方の入力に「L」レベルが供給された排他論理和回路から成る第1の遅延回路11及び第2の遅延回路12が設けられる。

【0017】このため、2つの信号A I、B Iの位相差 $\phi$ が時間と共に変化したり、両信号A I、B Iのデューティ比が変動した場合であっても、排他論理和回路から成る第2の遅延回路13により他方の信号B Iが遅延されると、この遅延信号S 2が、位相検出回路12からの位相検出信号S 1に基づいて位相補正回路14により位相補正される。

50

(4)

5

【0018】これにより、排他論理和回路から成る第1の遅延回路11からの出力信号AOに、位相補正回路14からの出力信号BOを同期させることができる。本発明の第3の信号同期化回路によれば、出力信号AOをタイミング調整する第1の調整素子15及び出力信号BOをタイミング調整する第2の調整素子16が設けられる。

【0019】このため、位相補正回路14からの出力信号BOを、例えば、容量Cのような第2の調整素子16によって波形の立ち上がり及び立ち下がり（タイミング調整）を調整することにより、グリッジやノイズ等を抑える（鈍らせる）ことができる。なお、第1の遅延回路11によって遅延された遅延信号AOを容量Cのような第1の調整素子15によってタイミング調整することにより、信号BOと信号AOの負荷特性を揃えることができる。

【0020】本発明の第4の信号同期化回路によれば、第1の調整素子15及び第2の調整素子16が、第1の遅延回路11の出力及び位相補正回路14の出力に対して逆方向にそれぞれ接続されたダイオードDから成る。このため、位相補正回路14からの出力信号BOをダイオードDによってタイミング調整をすることにより、グリッジやノイズ等を抑える（鈍らせる）ことができる。なお、遅延信号AOをダイオードDによってタイミング調整をすることにより、信号BOと信号AOの負荷特性を揃えることができる。

【0021】本発明の信号同期化方法によれば、任意のデューティ比の信号AIと他方の信号BIとの第1の排他論理和が採られると、それによって得られる出力信号S1と、信号BIを遅延した信号S2との第2の排他論理和が採られる。このため、2つの信号AI、BIのデューティ比が異なっている場合であっても、信号AIを遅延した出力信号AOと、第2の排他論理和によって得られた出力信号BOとの位相差を零とすることができ、一方のデューティ比の信号に、強制的に他方の信号のデューティ比を揃えることができる。

【0022】これにより、未知のデューティ比の信号BIを任意のデューティ比の信号AIに合わせ込むことが可能となる。例えば、同期目標となる信号AIのデューティ比を可変した場合でも、未知のデューティ比の信号BIを強制的に信号AIのデューティ比に揃えることができる。

【0023】

【実施例】次に、図を参照しながら本発明の各実施例について説明をする。図2～12は、本発明の各実施例に係る信号同期化回路を説明する図である。

(1) 第1の実施例の説明

図2は、本発明の第1の実施例に係る信号同期化回路の構成図であり、図3は、各実施例に係るEXOR回路の内部構成図である。図4～9はその動作波形図（その1

6

～6）をそれぞれ示している。

【0024】例えば、外部からの到来信号BIを受信回路の基準信号AIに同期させる信号同期化回路は、図2に示すように、遅延ゲート21A、21B、23、二入力排他論理和回路（以下単にEXOR回路という）22及び24を備える。すなわち、遅延ゲート21A及び21Bは図1の第1の遅延回路11の一例であり、同期目標となる一方の信号、例えば、通信装置等における受信回路の基準信号AIを遅延する。遅延ゲート21A及び21Bにはノンインバータを用いる。なお、遅延ゲート21A及び21Bのゲート遅延量は、信号BIの位相検出及び補正による信号遅延量に揃えるものとする。これにより、信号BIと信号AIの遅延量が同等になる。

【0025】EXOR回路22は図1の位相検出回路12の一例であり、基準信号AIと該基準信号AIに同期させる到来信号BIとの位相差を検出する。例えば、EXOR回路22は図3に示すように、14個のバイポーラトランジスタ（以下単にトランジスタという）Q1～Q14と、6個のバイアス抵抗R1～R6から成る。Q1～Q14はnpn型のトランジスタから成る。

【0026】図3において、トランジスタQ1のコレクタは電源線VCCに接続され、そのベースに信号BIが入力される。そのエミッタは抵抗R1を介して接地線VEEに接続され、また、それがトランジスタQ4のベースに接続される。信号AIはトランジスタQ2、Q6のベースに入力される。トランジスタQ2～Q8は差動増幅回路を構成し、トランジスタQ2、Q3の各コレクタは抵抗R2、R3を介して電源線VCCにそれぞれ接続される。トランジスタQ2、Q3の各エミッタはトランジスタQ4のコレクタに接続される。トランジスタQ5、Q6の各エミッタはトランジスタQ7のコレクタに接続される。

【0027】トランジスタQ5のコレクタはトランジスタQ2のコレクタとQ9のベースに接続され、トランジスタQ6のコレクタはトランジスタQ3のコレクタと、Q12のベースにそれぞれ接続される。トランジスタQ4、Q7の各エミッタはトランジスタQ8のコレクタに接続される。Q8のエミッタは抵抗R4を介して接地線VEEに接続される。

【0028】トランジスタQ9、Q12のコレクタは電源線VCCに接続され、Q9のエミッタはトランジスタQ10のベースとコレクタに接続され、Q12のエミッタはトランジスタQ13のベースとコレクタに接続される。トランジスタQ10、Q13の各エミッタはトランジスタQ11、Q14のコレクタにそれぞれ接続され、Q11、Q14のエミッタは抵抗R5、R6を介して接地線VEEにそれぞれ接続される。なお、トランジスタQ8、Q11、Q14の各ベースにそれぞれバイアス電圧VBBが供給され、トランジスタQ7のベースに基準電圧VREFがそれぞれ供給される。

(5)

7

【0029】遅延ゲート23は図1の第2の遅延回路13の一例であり、到来信号BIを遅延する。遅延ゲート23は本実施例では遅延ゲート21A及び21Bと同様にノインバータを用いる。遅延ゲート23の遅延量は、EXOR回路22による信号遅延量に揃えるものとする。これにより、信号BIと到来遅延信号S2の遅延量が同等になる。

【0030】EXOR回路24は図1の位相補正回路14の一例であり、EXOR回路22からの位相検出信号S1に基づいて遅延ゲート23からの遅延到来信号S2の位相を補正し、かつ、位相検出信号S1の立ち上がり又は立ち下がりに基づいて信号S2のデューティ比を補正する。EXOR回路24は先のEXOR回路22と同様な回路を用いる。

【0031】次に、本発明の第1の実施例に係る信号同期化回路の動作を説明する。例えば、図4に示すように、周波数が等しい基準信号（以下AI信号という）に到来信号（以下BI信号という）を同期させる場合であって、AI信号よりもBI信号の位相が遅れている（位相差 $\phi$ ）場合について説明をする。なお、2つの信号はデューティ比が可変されても良く、異なる伝送路又は伝

幅方式を経て入力されるものであっても良い。

【0032】この場合、例えば、デューティ比5：5の信号AIと到来信号BIとがEXOR回路22に入力されると、その位相差 $\phi$ が当該回路22により検出される。この位相差 $\phi$ は、例えば、信号AIと信号BIの立ち上がりエッジの差であり、位相検出信号S1の「H」レベルの期間となる。ここで検出された位相検出信号S1は、信号AI及びBIが共に「L」レベルのとき、また、それが共に「H」レベルのときには、信号S1＝「L」レベルがEXOR回路24に出力される。また、信号AI又はBIどちら一方が「H」レベルのときには、信号S1＝「H」レベルがEXOR回路24に出力される。

【0033】一方、EXOR回路22での信号遅延を補正するために、遅延ゲート23により到来信号BIが遅延されると、この遅延到来信号S2が、EXOR回路22からの位相検出信号S1に基づいてEXOR回路24により位相補正される。この結果、EXOR回路24から出力（排他論理和）信号BOが得られる。この出力信号BOは、信号S1及びS2が共に「L」レベルのとき、また、それが共に「H」レベルのときには、信号BO＝「L」レベルとなる。また、信号S1又はS2どちら一方が「H」レベルのときには、信号BO＝「H」レベルとなる。

【0034】これにより、遅延ゲート21Bからの出力信号AOにEXOR回路24からの出力信号BOが同期化される。なお、遅延ゲート21A及び21Bにより、信号BIの位相検出及び補正による信号遅延量と、信号AIの遅延量とが揃えられる。次に、図5に示すように、周波

8

数が等しいAI信号にBI信号を同期させる場合であって、BI信号の位相がAI信号よりも進んでいる場合（位相差 $\phi$ ）であって、両信号AI、BIのデューティ比が5：5の場合について説明をする。

【0035】この場合、信号AIと到来信号BIとがEXOR回路22に入力されると、その位相差 $\phi$ が当該回路22により検出される。ここで検出された位相検出信号S1がEXOR回路24に出力される。一方、遅延ゲート23からの遅延到来信号S2が、EXOR回路22からの位相検出信号S1に基づいてEXOR回路24により位相補正され、また、信号AIのデューティ比5：5に合わせ込まれる。これにより、遅延ゲート21Bからの出力信号AOにEXOR回路24からの出力信号BOが同期化される。

【0036】なお、図6に示すように、周波数が等しいAI信号にBI信号を同期させる場合であって、BI信号とAI信号とが同相（位相差 $\phi=0$ ）場合には、EXOR回路22からの位相検出信号S1は「L」レベルとなる。また、図7に示すように、周波数が等しいAI信号にBI信号を同期させる場合であって、BI信号とAI信号とが180°位相がずれている場合（位相差 $\phi=180^\circ$ ）には、EXOR回路22からの位相検出信号S1は「H」レベルとなる。

【0037】次に、図8に示すように、BI信号の位相がAI信号よりも遅れている場合（位相差 $\phi$ ）であって、しかも、信号AIのデューティ比が8：4であって、信号BIのデューティ比が3：9の場合について、AI信号にBI信号を同期させる場合を説明をする。この場合、信号AIと到来信号BIとがEXOR回路22に入力されると、その位相差 $\phi$ が当該回路22により検出される。ここで検出された位相検出信号S1がEXOR回路24に出力される。また、遅延到来信号S2のデューティ比3：9は位相検出信号S1の最初の立ち上がりから、第2番目の立ち下がりによって、強制的に信号AIのデューティ比8：4に合わせ込まれる。

【0038】一方、遅延ゲート23からの遅延到来信号S2が、EXOR回路22からの位相検出信号S1に基づいてEXOR回路24により位相補正され、また、信号AIのデューティ比8：4に合わせ込まれる。これにより、遅延ゲート21Bからのデューティ比8：4の出力信号AOにEXOR回路24からのデューティ比8：4の出力信号BOが同期化される。

【0039】さらに、図9に示すように、BI信号の位相がAI信号よりも遅れている場合（位相差 $\phi$ ）であって、しかも、信号AIのデューティ比が8：4であって、信号BIのデューティ比が10：2の場合について、AI信号にBI信号を同期させる場合を説明をする。この場合、信号AIと到来信号BIとがEXOR回路22に入力されると、その位相差 $\phi$ が当該回路22により検出される。ここで検出された位相検出信号S1がEXOR

(6)

9

R回路24に出力される。また、遅延到来信号S2のデューティ比10:2は位相検出信号S1の最初の立ち上がりから、第2番目の立ち上がりによって、強制的に信号AIのデューティ比8:4に合わせ込まれる。

【0040】一方、遅延ゲート23からの遅延到来信号S2が、EXOR回路22からの位相検出信号S1に基づいてEXOR回路24により位相補正され、また、信号AIのデューティ比8:4に合わせ込まれる。これにより、遅延ゲート21Bからのデューティ比8:4の出力信号AOにEXOR回路24からのデューティ比8:4の出力信号BOが同期化される。

【0041】このようにして、本発明の第1の実施例に係る信号同期化回路によれば、図2に示すように、遅延ゲート21A, 21B, 23, EXOR回路22及び24を備える。このため、遅延ゲート21Bからの出力信号AOにEXOR回路24からの出力信号BOを同期させることができる。このとき、遅延ゲート21A, 21Bにより、信号BIの位相検出及び補正による信号遅延量と、信号AIの遅延量とが揃えられる。

【0042】これにより、2つの信号AI, BIの位相差 $\phi$ が時間と共に変化したり、両信号AI, BIのデューティ比が変動した場合であっても、容易に両信号AI, BIの位相補正と、デューティ比の補正とを同時に行うことができ、受信信号の同期化に十分対処することが可能となる。また、本発明の実施例に係る信号同期化方法によれば、任意のデューティ比の信号AIと到来信号BIとの第1の排他論理和が採られると、それによって得られる出力信号S1と、信号BIを遅延した信号S2との第2の排他論理和が採られる。

【0043】このため、2つの信号AI, BIのデューティ比が異なっている場合であっても、信号AIを遅延した出力信号AOと、第2の排他論理和によって得られた出力信号BOとを同期化することができ、しかも、一方のデューティ比の信号BIを位相補正して、他方のデューティ比の信号AIに揃えることができる。これにより、未知のデューティ比の信号BIを任意のデューティ比の信号AIに合わせ込むことが可能となる。例えば、同期目標となる信号AIのデューティ比を可変した場合でも、未知のデューティ比の信号BIを強制的に信号AIのデューティ比に揃えることができる。

【0044】(2) 第2の実施例の説明

図10は、本発明の第2の実施例に係る信号同期化回路の構成図を示している。第2の実施例では第1の実施例と異なり、基準入力に「L」レベルが供給された二入力排他論理和回路（以下単にEXOR回路という）が設けられる。すなわち、第2の実施例に係る信号同期化回路は図10に示すように、5個のEXOR回路31A, 31B, 32, 33及び34を備える。EXOR回路31A及び31Bは、図1に示した第1の遅延回路11の他の一例であり、回路31Aの一方の入力には基準信号AIが入力さ

10

れ、その基準入力に「L」レベルが供給される。

【0045】また、EXOR回路31Bの一方の入力には回路31Aからの論理出力信号が入力され、その基準入力に「L」レベルが供給される。これにより、回路31Bから信号AIを遅延した出力信号AOが得られる。EXOR回路33は、図1に示した第2の遅延回路13の他の一例であり、回路33の一方の入力に到来信号BIが入力され、その基準入力に「L」レベルが供給される。これにより、回路33からEXOR回路34に遅延到来信号S2が出力される。なお、EXOR回路32は位相検出回路を構成し、EXOR回路34は位相補正回路をそれぞれ構成する。動作波形は第1の実施例と同様であるため、その説明を省略する。

【0046】このようにして、本発明の第2の実施例に係る信号同期化回路によれば、図10に示すように、基準入力に「L」レベルが供給されたEXOR回路31A, 31BやEXOR回路33から成る遅延回路が設けられる。このため、信号BIの位相検出及び補正による信号遅延量をEXOR回路31A, 31Bのゲート遅延量に揃えることができ、信号BIと信号AIの遅延量が同等になる。また、EXOR回路32による信号遅延量をEXOR回路33のゲート遅延量により揃えることができ、信号BIと到来遅延信号S2の遅延量が同等になる。

【0047】これにより、第1の実施例と同様にEXOR回路31Bからの出力信号AOにEXOR回路34からの出力信号BOを同期させることができる。また、2つの信号AI, BIの位相差 $\phi$ が時間と共に変化したり、両信号AI, BIのデューティ比が変動した場合であっても、EXOR回路33により到来信号BIが遅延されると、この遅延到来信号S2が、EXOR回路32からの位相検出信号S1に基づいてEXOR回路34により位相補正される。

【0048】このことで、第1の実施例と同様に容易に両信号AI, BIを同期させることが可能となる。また、信号同期化回路を構成するEXOR回路が同一のプロセス工程により製造されることから、信号遅延量を自己整合的に合わせ込むことができる。

(3) 第3の実施例の説明

図11(A), (B)は、本発明の第3の実施例に係る信号同期化回路の構成図をそれぞれ示している。第3の実施例では第1, 2の実施例と異なり、遅延ゲート21Bの出力やEXOR回路24の出力に容量Cが接続されるものである。

【0049】図11(A)は第1の実施例に係る信号同期化回路の出力に容量を接続した回路を示している。図11(A)において、容量C11は第1の調整素子15の一例であり、遅延ゲート21A, 21Bによって遅延された出力信号AOのタイミング調整をする素子である。容量C11は遅延ゲート21Bの出力と接地線GNDとの間に接続され、C12とバランスを採るようにする。容量C12は第2

(7)

11

の調整素子 16 の一例であり、E X O R 回路 24 からの出力信号 B O のタイミング調整をする素子である。容量 C 12 は E X O R 回路 24 の出力と接地線 G N D との間に接続される。

【0050】図 11 (B) は第 2 の実施例に係る信号同期化回路の出力に容量を接続した回路を示している。図 11 (B) において、容量 C 21 は E X O R 回路 31 B からの出力信号 A O のタイミング調整をする素子である。容量 C 22 は E X O R 回路 34 からの出力信号 B O のタイミング調整をする素子である。なお、動作波形図は第 1 の実施例と同様であるため、その説明を省略する。

【0051】このようにして、本発明の第 3 の実施例に係る信号同期化回路によれば、図 11 (A) , (B) に示すように、出力信号 A O をタイミング調整する容量 C 11 や C 21 及び出力信号 B O をタイミング調整する容量 C 12 や C 22 が設けられる。このため、E X O R 回路 24 や 34 からの出力信号 B O を容量 C 12 や C 22 によって波形の立ち上がり及び立ち下がり (タイミング調整) を調整することにより、グリッジやノイズ等を抑える (鈍らせる) ことができる。なお、遅延ゲート 21 B や E X O R 回路 31 B からの出力信号 A O を容量 C 11 や C 21 によってタイミング調整することにより、信号 B O と信号 A O の負荷特性を揃えることができる。

【0052】これにより、第 1, 第 2 の実施例に比べて、更に、精度良く両信号 A I , B I の位相補正と同時にデューティ比を揃える (同期化) が可能となる。

(4) 第 4 の実施例の説明

図 12 (A) , (B) は、本発明の第 4 の実施例に係る信号同期化回路の構成図をそれぞれ示している。第 4 の実施例では第 3 の実施例と異なり、遅延ゲート 21 B の出力や E X O R 回路 24 の出力にダイオードが接続されるものである。

【0053】図 12 (A) は第 1 の実施例に係る信号同期化回路の出力にダイオードを接続した回路を示している。図 12 (A) において、ダイオード D 11 は第 1 の調整素子 15 の他の一例であり、遅延ゲート 21 A, 21 B によって遅延された出力信号 A O のタイミング調整をする素子である。ダイオード D 11 は遅延ゲート 21 B の出力と接地線 G N D との間に逆方向に接続され、ダイオード D 12 とバランスを採るようにする。これにより、第 3 の実施例の容量 C と同様な機能が得られる。

【0054】本発明の実施例ではダイオード D 11 はバイポーラトランジスタから構成する。例えば、コレクタ・ベースを接続したトランジスタやベース・エミッタを接続しトランジスタを応用する。いずれも、エミッタを各ゲート出力に接続し、コレクタを接地線 V E E にそれぞれ接続する。ダイオード D 12 は第 2 の調整素子 16 の他の一例であり、E X O R 回路 24 からの出力信号 B O のタイミング調整をする素子である。

【0055】図 12 (B) は第 2 の実施例に係る信号同期

12

化回路の出力にダイオードを接続した回路を示している。図 12 (B) において、ダイオード D 21 は E X O R 回路 31 B からの出力信号 A O のタイミング調整をする素子である。ダイオード D 22 は E X O R 回路 34 からの出力信号 B O のタイミング調整をする素子である。なお、動作波形図は第 1 の実施例と同様であるため、その説明を省略する。

【0056】このようにして、本発明の第 4 の実施例に係る信号同期化回路によれば、図 12 (A) , (B) に示すように、出力信号 A O をタイミング調整するダイオード D 11 や D 21 及び出力信号 B O をタイミング調整するダイオード D 12 や D 22 が設けられ、遅延ゲート 21 B の出力及び E X O R 回路 24 , 31 B , 34 の出力に対して逆方向にそれぞれ接続される。

【0057】このため、E X O R 回路 24 や 34 からの出力信号 B O をダイオード D 12 や D 22 によって波形の立ち上がり及び立ち下がり (タイミング調整) を調整することにより、グリッジやノイズ等を抑える (鈍らせる) ことができる。なお、遅延ゲート 21 B や E X O R 回路 31 B からの出力信号 A O をダイオード D 11 や D 21 によってタイミング調整することにより、第 3 の実施例と同様に信号 B O と信号 A O の負荷特性を揃えることができる。

【0058】これにより、第 3 の実施例と同様に、精度良く両信号 A I , B I の位相補正と同時にデューティ比を揃える (同期化) が可能となる。

【0059】

【発明の効果】以上説明したように、本発明の信号同期化回路によれば、両信号を遅延する第 1, 第 2 の遅延回路と、両信号の位相差を検出する位相検出回路と、位相補正及びデューティ比を補正する位相補正回路とを備える。このため、2 つの信号の位相差が時間と共に変化したり、両信号のデューティ比が変動した場合であっても、第 2 の遅延回路からの遅延信号を位相検出信号に基づいた位相補正回路により位相補正をすることで、第 1 の遅延回路からの出力信号に、位相補正回路からの出力信号を同期化することができる。また、従来例に比べて、容易に両信号を同期させることができ、受信信号の同期化に十分対処することが可能となる。

【0060】本発明の他の信号同期化回路によれば、出力信号をタイミング調整する第 1 の調整素子及び出力信号をタイミング調整する第 2 の調整素子が設けられる。このため、位相補正回路からの出力信号を第 2 の調整素子によって波形の立ち上がり及び立ち下がり調整することにより、グリッジやノイズ等を抑える (鈍らせる) ことができる。また、第 1 の調整素子によって両信号の負荷特性を揃えることができる。

【0061】本発明の信号同期化方法によれば、任意のデューティ比の信号と他方の信号との第 1 の排他論理和が採られると、その結果得られる出力信号と、他方の信号を遅延した信号との第 2 の排他論理和が採られる。こ

(8)

13

のため、2つの信号のデューティ比が異なっている場合であっても、一方の信号を遅延した出力信号と、第2の排他論理和によって得られた出力信号との位相差を零とすることができ、一方のデューティ比の信号に、強制的に他方の信号のデューティ比を揃えることができる。

【0062】このことで、通信条件が厳しく、デューティ比が変動するような信号を任意のデューティ比の信号に合わせ込む信号同期化回路が提供される。また、信号同期化回路を応用した通信装置等の信頼性の向上に寄与するところが多い。

【図面の簡単な説明】

【図1】本発明に係る信号同期化回路の原理図である。

【図2】本発明の第1の実施例に係る信号同期化回路の構成図である。

【図3】本発明の各実施例に係るEXOR回路の内部構成図である。

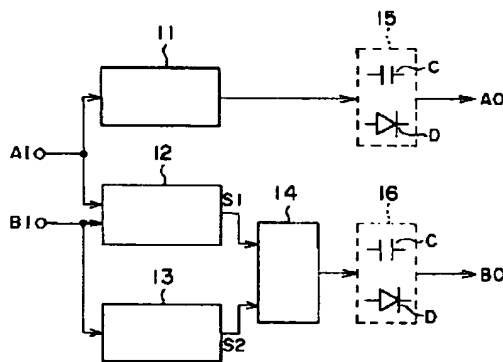
【図4】本発明の各実施例に係る信号同期化回路の動作波形図（その1）である。

【図5】本発明の各実施例に係る信号同期化回路の動作波形図（その2）である。

【図6】本発明の各実施例に係る信号同期化回路の動作波形図（その3）である。

【図7】本発明の各実施例に係る信号同期化回路の動作波形図（その4）である。

【図1】



11：第1の遅延回路  
12：位相検出回路  
13：第2の遅延回路  
14：位相補正回路  
15：第1の調整素子  
16：第2の調整素子  
A1：一方の信号  
B1：他方の信号  
S1：位相検出信号  
S2：遅延信号  
C：容量  
D：ダイオード  
AO, BO：出力信号

14

【図8】本発明の各実施例に係る信号同期化回路の動作波形図（その5）である。

【図9】本発明の各実施例に係る信号同期化回路の動作波形図（その6）である。

【図10】本発明の第2の実施例に係る信号同期化回路の構成図である。

【図11】本発明の第3の実施例に係る信号同期化回路の構成図である。

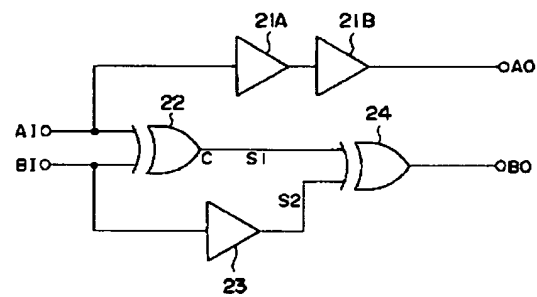
【図12】本発明の第4の実施例に係る信号同期化回路の構成図である。

【図13】従来例に係る信号同期化回路の説明図である。

【符号の説明】

11, 13…第1, 第2の遅延回路、  
12…位相検出回路、  
14…位相補正回路、  
15, 16…第1, 第2の調整素子、  
C…容量、  
D…ダイオード、  
A1…一方の信号（基準信号）、  
B1…他方の信号（到来信号）  
AO…出力信号、  
BO…出力信号、  
S1…位相検出信号、  
S2…遅延信号（遅延到来信号）。

【図2】

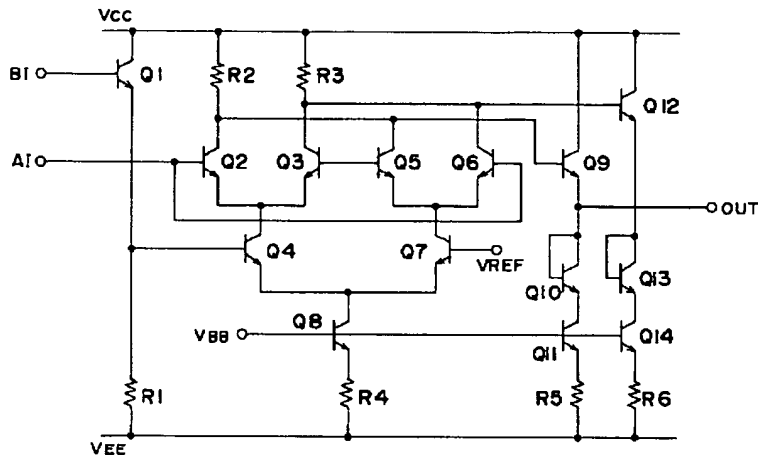


21A, 21B：遅延ゲート  
22：EXOR 回路  
23：遅延ゲート  
24：EXOR 回路

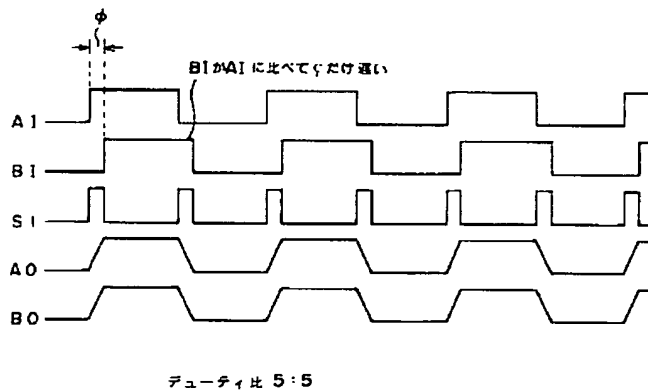


(9)

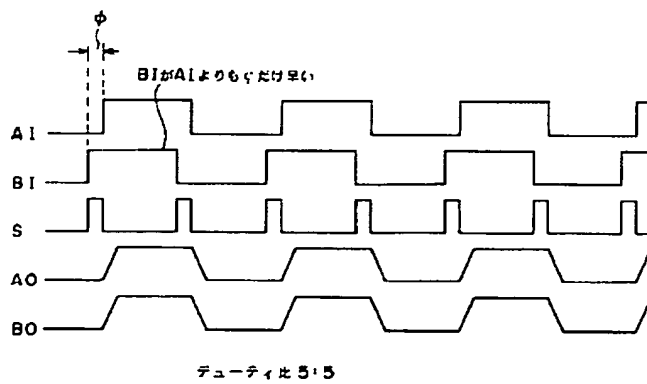
【図3】



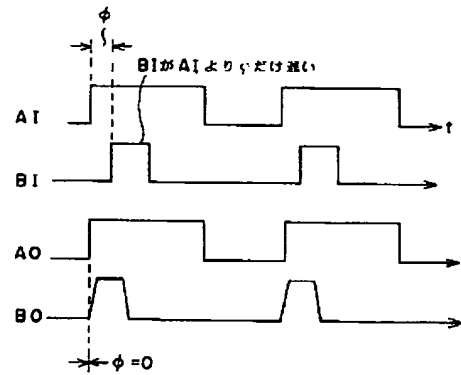
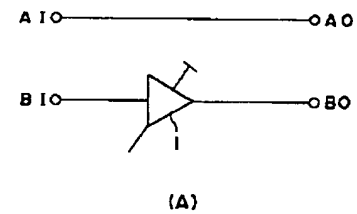
【図4】



【図5】



【図13】

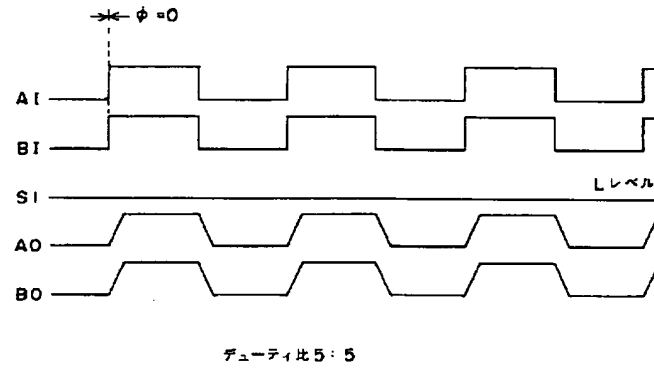


A1: デューティ比 6:4  
B1: デューティ比 8:2

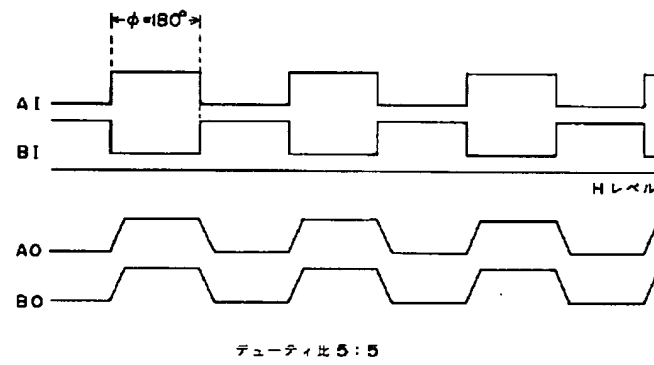
(B)

(10)

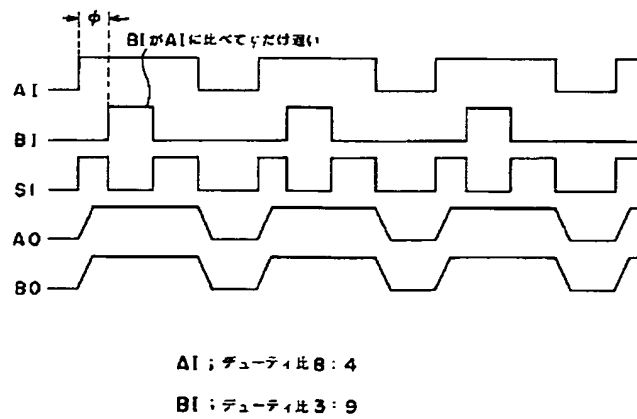
【図6】



【図7】

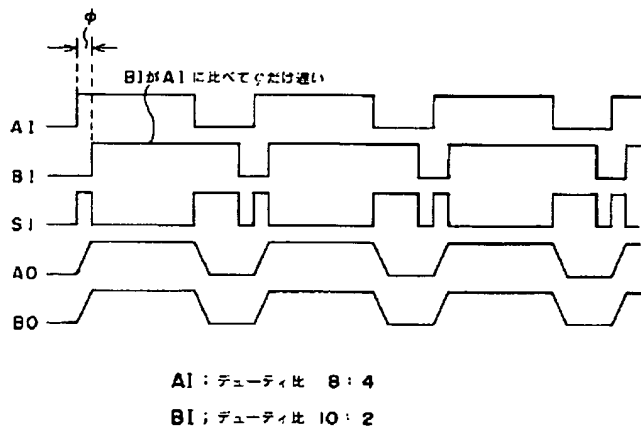


【図8】

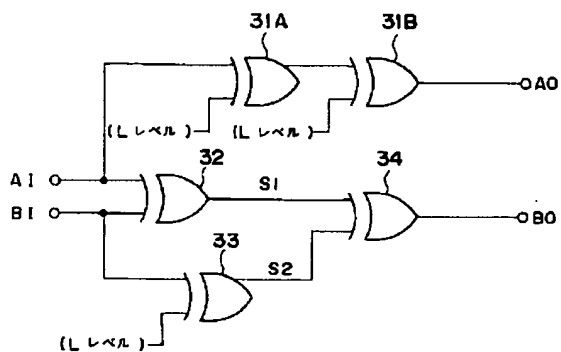


(11)

【図9】

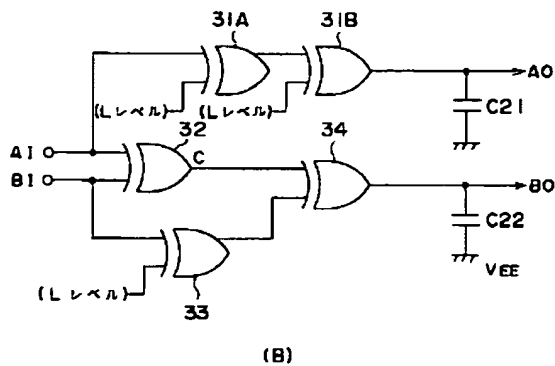
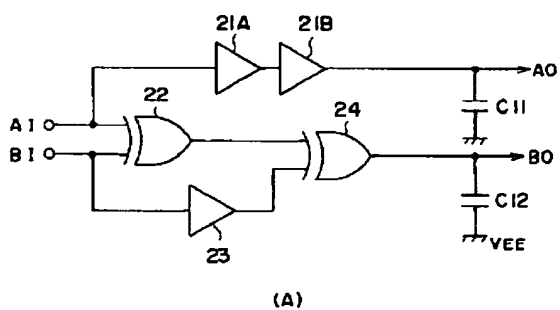


【図10】



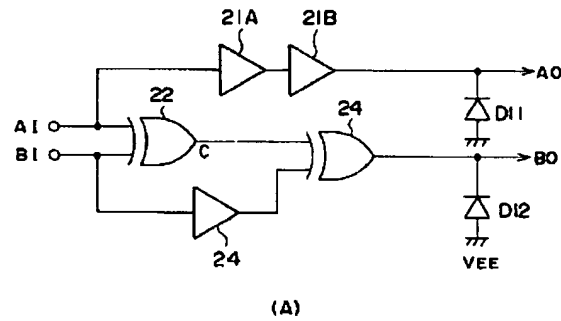
31A, 31B, 32~34; EXOR 回路

【図11】

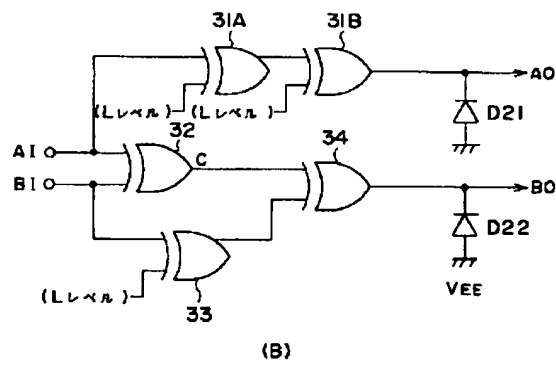


(12)

【図12】



(A)



(B)

フロントページの続き

(51) Int. Cl. 6

// H 0 3 L 7/00

識別記号 片内整理番号  
B

F I

技術表示箇所

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-065113

(43)Date of publication of application : 08.03.1996

(51)Int.Cl. H03K 5/00  
 H03K 19/096  
 H04L 7/02  
 // H03L 7/00

(21)Application number : 06-196609

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.08.1994

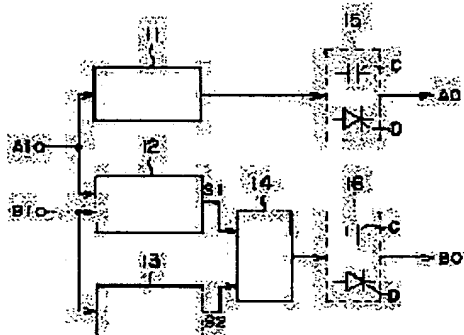
(72)Inventor : MIYAZAKI YUKINORI  
 SHIMOTSUHAMA ISAO

## (54) SIGNAL SYNCHRONIZATION CIRCUIT AND SIGNAL SYNCHRONIZATION METHOD

## (57)Abstract:

PURPOSE: To obtain synchronization of two signals by providing 1st and 2nd delay circuits delaying two signals, detecting a phase difference of both signals so as to correct the phase and a duty ratio.

CONSTITUTION: When a phase of a BI signal is delayed more than an AI signal being an object of synchronization even if the frequency of the signals is the same and when the signal AI and the other signal BI with an optional duty ratio are given to a phase detection circuit 12, the circuit 12 detects a phase difference  $\phi$ . When the signals AI, BI are both at an L or an H level, a phase detection signal S1 at an L level is outputted to a phase correction circuit 14. When either of the signals AI, BI is at an H level, the phase detection signal S1 at an H level is outputted to the phase correction circuit 14. On the other hand, a delay signal S2 to correct the signal delay in the phase detection circuit 12 is outputted from the phase correction circuit 14 based on the phase detection signal S1. The duty ratio of the delay signal S2 is in matching with the duty ratio of the signal AI by the phase detection signal S1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The phase detector which while becomes a synchronous target and detects phase contrast with the signal of the 1st delay circuit delayed in a signal, and another side which makes it synchronize with one [ said ] signal and one [ this ] signal, Based on the phase detecting signal from the 2nd delay circuit delayed in the signal of said another side, and said phase detector, the phase of the delay signal from said 2nd delay circuit is amended. And the signal synchronization circuit characterized by having the phase compensator which amends the duty ratio of this delay signal based on the standup or falling of this phase detecting signal.

[Claim 2] Said the 1st delay circuit and 2nd delay circuit are a signal synchronization circuit according to claim 1 characterized by consisting of a non inverter.

[Claim 3] Said the 1st delay circuit and 2nd delay circuit are a signal synchronization circuit according to claim 1 characterized by consisting of the exclusive OR circuit where low voltage was supplied to one input.

[Claim 4] The signal synchronization circuit according to claim 1 characterized by preparing the 2nd adjustment component which carries out timing adjustment of the output signal from the 1st adjustment component and said phase compensator which carries out timing adjustment of the delay signal from said 1st delay circuit.

[Claim 5] Said 1st adjustment component and the 2nd adjustment component are a signal synchronization circuit according to claim 4 characterized by consisting of the capacity connected to the output of said 1st delay circuit, and the output of said phase compensator, respectively.

[Claim 6] Said 1st adjustment component and the 2nd adjustment component are a signal synchronization circuit according to claim 4 characterized by consisting of the diode connected to hard flow to the output of said 1st delay circuit, and the output of said phase compensator, respectively.

[Claim 7] Said phase detector and phase compensator are one which is characterized by consisting of an exclusive OR circuit of signal synchronization circuits according to claim 1 to 6.

[Claim 8] The signal synchronization approach characterized by taking the 1st exclusive OR with the signal of another side synchronized with one signal of the duty ratio of arbitration and one [ this ] signal used as a synchronous target, and taking the 2nd exclusive OR of the output signal acquired by said 1st exclusive OR and the signal delayed in the signal of said another side.

[Claim 9] The signal synchronization approach according to claim 8 characterized by carrying out adjustable [ of the duty ratio of the signal used as said synchronous target ].

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the circuit which amends the phase contrast of the signal whose frequency is two from which a phase and a duty ratio differ equally, and arranges a signal wave form, if it says in more detail about a signal synchronization circuit. In recent years, an information processor is connected through a communication line and data communication is performed. In this case, when incorporating the input signal from a communication wire, it is necessary to synchronize the signal which arrives at the reference signal of the receiving circuit inside equipment from the outside.

[0002] According to this, the signal synchronization circuit which the phase contrast of the signal whose frequency is two from which a phase differs equally is amended [ circuit ], and synchronizes the signal of another side with one signal is used. However, synchronization will become difficult, if the phase contrast of two signals changes with time amount or the duty ratio of two signals is changed. Then, even if it is the case where the duty ratios of two signals differ, phase correction of the signal of one duty ratio is carried out, and a circuit which can be arranged with the signal of the duty ratio of another side is desired.

[0003]

[Description of the Prior Art] Drawing 13 is an explanatory view concerning the conventional example, drawing 13 (A) is the block diagram of the signal synchronization circuit concerning the conventional example, and drawing 13 (B) shows the wave form chart explaining the trouble of operation, respectively. For example, the signal synchronization circuit which synchronizes the arrival signal BI from the outside with the reference signal AI of a receiving circuit consists of the non inverter 1 which synchronizes the arrival signal BI with a reference signal AI, as shown in drawing 13 (A).

[0004] The function of the signal synchronization circuit concerned is the case where the arrival signal BI of a duty ratio 8:2 is synchronized to the reference signal AI of a duty ratio 6:4, as shown in drawing 13 (B), and when only phase contrast  $\phi$  is behind Signal AI in Signal BI, the optimal delay number of stages of the non inverter 1 is called for, and it is fixed to the optimum value from which it serves as phase contrast  $\phi = 0$ .

[0005] Thereby, the standup of the output signal BO which carried out phase correction is synchronized in the standup and the arrival signal BI of reference signal AI=AO. In addition, the duty ratio of signal AI=AO is 6:4 and the duty ratio of an output signal BO is still 8:2.

[0006]

[Problem(s) to be Solved by the Invention] By the way, according to the conventional example, a signal synchronization circuit is constituted by the non inverter 1, and phase correction is carried out by carrying out adjustable [ of the delay number of stages ] to the signals AI and BI which are two to which the duty ratio was fixed. For this reason, if phase contrast  $\phi$  is always fixed, although a duty ratio is not in agreement, it can be enough coped with to the demand of synchronization of both the signals AI and BI by the signal synchronization circuit using a non inverter as shown in drawing 13 (A). However, if



the phase contrast  $\phi$  of two signals AI and BI changes with time amount or the duty ratio of both the signals AI and BI is changed, by the approach of carrying out adjustable [ of the delay number of stages of the non inverter 1 ], it cannot be coped with enough. Phase correction must be performed each time. [0007] When there is a demand of signal synchronization which arranges the signal BI of a strange duty ratio with the reference signal AI of the duty ratio of arbitration by this, there is a problem that it cannot be coped with enough, by the approach of the phase correction which carries out adjustable [ of the delay number of stages of a non inverter 1 like the conventional example ]. This invention is created in view of the trouble of this conventional example, and even if it is the case where the duty ratios of two signals differ, it carries out phase correction of the signal of one duty ratio, and it aims at offer of the signal synchronization circuit which becomes possible [ keeping step with the signal of the duty ratio of another side ].

[0008]

[Means for Solving the Problem] Drawing 1 shows the principle Fig. of the signal synchronization circuit concerning this invention. The 1st delay circuit 11 which while becomes a synchronous target and is delayed in Signal AI as the 1st signal synchronization circuit of this invention is shown in drawing 1 , The phase detector 12 which detects the phase contrast  $\phi$  with the signal BI of another side synchronized with one [ said ] signal AI and one [ this ] signal AI, Based on the phase detecting signal S1 from the 2nd delay circuit 13 delayed in the signal BI of said another side, and said phase detector 12, the phase of the delay signal S2 from said 2nd delay circuit 13 is amended. And it is characterized by having the phase compensator 14 which amends the duty ratio of this delay signal S2 based on the standup or falling of this phase detecting signal S1.

[0009] In the 1st signal synchronization circuit of this invention, it is characterized by said the 1st delay circuit 11 and 2nd delay circuit 12 consisting of a non inverter. The 2nd signal synchronization circuit of this invention is characterized by said the 1st delay circuit 11 and 2nd delay circuit 12 changing from the exclusive OR circuit which supplies low voltage to one input.

[0010] The 3rd signal synchronization circuit of this invention is characterized by forming the 2nd adjustment component 16 which while was delayed by said 1st delay circuit 11, and carries out timing adjustment of the output signal BO from the 1st adjustment component 15 and said phase compensator 14 which carries out timing adjustment of the output signal AO. In the 3rd signal synchronization circuit of this invention, said 1st adjustment component 15 and the 2nd adjustment component 16 are characterized by consisting of the capacity C connected to the output of said 1st delay circuit 11, and the output of said phase compensator 14, respectively.

[0011] The 4th signal synchronization circuit of this invention is characterized by said 1st adjustment component 15 and the 2nd adjustment component 16 consisting of the diode D connected to hard flow to the output of said 1st delay circuit 11, and the output of said phase compensator 14, respectively. the 1- of this invention -- in the 4th signal synchronization circuit, it is characterized by said phase detector 12 and phase compensator 14 consisting of an exclusive OR circuit.

[0012] The signal synchronization approach of this invention is characterized by taking the 1st exclusive OR with the signal BI of another side synchronized with one signal AI of the duty ratio of arbitration and one [ this ] signal AI used as a synchronous target, and taking the 2nd exclusive OR of the output signal S1 acquired by said 1st exclusive OR and the signal S2 delayed in the signal BI of said another side. In the signal synchronization approach of this invention, it is characterized by carrying out adjustable [ of the duty ratio of one / said / signal AI ], and the above-mentioned purpose is attained.

[0013]

[work --] for Actuation of the 1st signal synchronization circuit of this invention is explained referring to drawing 1 . For example, if the signal AI of the duty ratio of arbitration and the signal BI of another side are inputted into the phase detector 12 when the phase of BI signal is behind AI signal with which a frequency is the same with signal and serves as a synchronous target, the phase contrast  $\phi$  will be detected by the circuit 12 concerned. This phase contrast  $\phi$  is a difference of the signal rising edge of Signal AI and Signal BI, and serves as a period of "H" level of the phase detecting signal S1.

[0014] When Signals AI and BI are "L" level, and when both they are "H" level, as for both the phase

detecting signals S1 detected here, signal  $S = [1]$  "L" level is outputted to phase compensator 14. Moreover, when Signal AI or BI which one side is "H" level, signal  $S = [1]$  "H" level is outputted to phase compensator 14. On the other hand, in order to amend signal delay in the phase detector 12, for example, if the signal BI of another side is delayed by the 2nd delay circuit 13 which consists of a non inverter, based on the phase detecting signal S1 from the phase detector 12, phase correction of this delay signal S2 will be carried out by phase compensator 14. Moreover, the duty ratio of the delay signal S2 is doubled with the duty ratio of Signal AI by the standup or falling of the phase detecting signal S1. Consequently, the output (exclusive OR) signal BO is acquired from phase compensator 14. [0015] This output signal BO serves as [ both ] signal  $BO = \text{"L" level}$ , when signals S1 and S2 are "L" level, and when both they are "H" level. Moreover, it is set to signal  $BO = \text{"H" level}$  when a signal S1 or S2 which one side is "H" level. For this reason, the output signal BO from phase compensator 14 can be synchronized with an output signal AO from the 1st delay circuit 11. In addition, the amount of signal delay by phase detection and amendment of Signal BI and the amount of delay of Signal AI are arranged by the 1st delay circuit 11.

[0016] The phase contrast  $\phi$  of two signals AI and BI changes with time amount, or by this, even if it is the case where the duty ratio of both the signals AI and BI is changed, compared with the conventional example, both the signals AI and BI can be synchronized easily, and it becomes possible to cope with synchronization of an input signal enough. According to the 2nd signal synchronization circuit of this invention, the 1st delay circuit 11 and 2nd delay circuit 12 which consist of the exclusive OR circuit where "L" level was supplied to one input are prepared.

[0017] For this reason, if the phase contrast  $\phi$  of two signals AI and BI changes with time amount, or the signal BI of another side is delayed by the 2nd delay circuit 13 which consists of an exclusive OR circuit even if it is the case where the duty ratio of both the signals AI and BI is changed, based on the phase detecting signal S1 from the phase detector 12, phase correction of this delay signal S2 will be carried out by phase compensator 14.

[0018] Thereby, the output signal BO from phase compensator 14 can be synchronized with an output signal AO from the 1st delay circuit 11 which consists of an exclusive OR circuit. According to the 3rd signal synchronization circuit of this invention, the 2nd adjustment component 16 which carries out timing adjustment of the 1st adjustment component 15 and output signal BO which carry out timing adjustment of the output signal AO is formed.

[0019] For this reason, what a glitchy \*\* noise etc. is stopped for (it is made to become blunt) is made by adjusting a wave-like standup and wave-like falling (timing adjustment) for the output signal BO from phase compensator 14 by the 2nd adjustment component 16 like capacity C. In addition, the load characteristic of Signal BO and Signal AO can be arranged by carrying out timing adjustment of the delay signal AO delayed by the 1st delay circuit 11 by the 1st adjustment component 15 like capacity C.

[0020] According to the 4th signal synchronization circuit of this invention, the 1st adjustment component 15 and the 2nd adjustment component 16 consist of the diode D connected to hard flow to the output of the 1st delay circuit 11, and the output of phase compensator 14, respectively. For this reason, what a glitchy \*\* noise etc. is stopped for (it is made to become blunt) is made by carrying out timing adjustment for the output signal BO from phase compensator 14 with Diode D. In addition, the load characteristic of Signal BO and Signal AO can be arranged by carrying out timing adjustment for the delay signal AO with Diode D.

[0021] According to the signal synchronization approach of this invention, if the 1st exclusive OR of the signal AI of the duty ratio of arbitration and the signal BI of another side is taken, the 2nd exclusive OR of the output signal S1 acquired by it and the signal S2 delayed in Signal BI will be taken. For this reason, even if it is the case where the duty ratios of two signals AI and BI differ, phase contrast of the output signal AO delayed in Signal AI and the output signal BO acquired by the 2nd exclusive OR can be made into zero, and the duty ratio of the signal of another side can be compulsorily arranged with the signal of one duty ratio.

[0022] It enables this to double the signal BI of a strange duty ratio with the signal AI of the duty ratio of arbitration. For example, even when adjustable [ of the duty ratio of the signal AI used as a

synchronous target ] is carried out, the signal BI of a strange duty ratio can be compulsorily arranged with the duty ratio of Signal AI.

[0023]

[Example] Next, each example of this invention is explained, referring to drawing. Drawing 2 -12 are drawing explaining the signal synchronization circuit concerning each example of this invention.

(1) The explanatory view 2 of the 1st example is a block diagram of the signal synchronization circuit concerning the 1st example of this invention, and drawing 3 is the internal configuration Fig. of the EXOR circuit concerning each example. Drawing 4 -9 show the wave form chart (the 1-6) of operation, respectively.

[0024] For example, the signal synchronization circuit which synchronizes the arrival signal BI from the outside with the reference signal AI of a receiving circuit is equipped with the delay gates 21A, 21B, and 23 and the 2 input exclusive OR circuits (only henceforth an EXOR circuit) 22 and 24 as shown in drawing 2 . That is, the delay gates 21A and 21B are examples of the 1st delay circuit 11 of drawing 1 , serve as a synchronous target and are delayed in the reference signal AI of the receiving circuit in a signal, for example, a communication device etc. A non inverter is used for the delay gates 21A and 21B. In addition, the amount of gate delay of the delay gates 21A and 21B shall be arranged with the amount of signal delay by phase detection and amendment of Signal BI. Thereby, the amount of delay of Signal BI and Signal AI becomes equivalent.

[0025] The EXOR circuit 22 is an example of the phase detector 12 of drawing 1 , and detects phase contrast with the arrival signal BI synchronized with a reference signal AI and this reference signal AI. For example, the EXOR circuit 22 consists of 14 bipolar transistors (only henceforth a transistor) Q1-Q14, and six bias resistance R1-R6, as shown in drawing 3 . Q1-Q14 consist of the transistor of a npn mold.

[0026] In drawing 3 , the collector of a transistor Q1 is connected to the power-source line VCC, and Signal BI is inputted into the base. The emitter is connected to a grounding conductor VEE through resistance R1, and it is connected to the base of a transistor Q4. Signal AI is inputted into the base of transistors Q2 and Q6. Transistors Q2-Q8 constitute a differential amplifying circuit, and each collector of transistors Q2 and Q3 is connected to the power-source line VCC through resistance R2 and R3, respectively. Each emitter of transistors Q2 and Q3 is connected to the collector of a transistor Q4. Each emitter of transistors Q5 and Q6 is connected to the collector of a transistor Q7.

[0027] The collector of a transistor Q5 is connected to the collector of a transistor Q2, and the base of Q9, and the collector of a transistor Q6 is connected to the collector of a transistor Q3, and the base of Q12, respectively. Each emitter of transistors Q4 and Q7 is connected to the collector of a transistor Q8. The emitter of Q8 is connected to a grounding conductor VEE through resistance R4.

[0028] The collector of transistors Q9 and Q12 is connected to the power-source line VCC, the emitter of Q9 is connected to the base and the collector of a transistor Q10, and the emitter of Q12 is connected to the base and the collector of a transistor Q13. Each emitter of transistors Q10 and Q13 is connected to the collector of transistors Q11 and Q14, respectively, and the emitter of Q11 and Q14 is connected to a grounding conductor VEE through resistance R5 and R6, respectively. In addition, bias voltage VBB is supplied to each base of transistors Q8, Q11, and Q14, respectively, and it is reference voltage VREF to the base of a transistor Q7. It is supplied, respectively.

[0029] The delay gate 23 is an example of the 2nd delay circuit 13 of drawing 1 , and is delayed in the arrival signal BI. The delay gate 23 uses a non inverter like the delay gates 21A and 21B in this example. The amount of delay of the delay gate 23 shall be arranged with the amount of signal delay by the EXOR circuit 22. Thereby, the amount of delay of Signal BI and the arrival delay signal S2 becomes equivalent.

[0030] The EXOR circuit 24 is an example of the phase compensator 14 of drawing 1 , amends the phase of the delay arrival signal S2 from the delay gate 23 based on the phase detecting signal S1 from the EXOR circuit 22, and amends the duty ratio of a signal S2 based on the standup or falling of the phase detecting signal S1. The EXOR circuit 24 uses the same circuit as the previous EXOR circuit 22.

[0031] Next, actuation of the signal synchronization circuit concerning the 1st example of this invention

is explained. For example, as shown in drawing 4, it is the case where an arrival signal (henceforth BI signal) is synchronized with a reference signal (henceforth AI signal) with an equal frequency, and the case where the phase of BI signal is behind AI signal (phase contrast  $\phi$ ) is explained. In addition, adjustable [ of the duty ratio ] may be carried out and two signals may be inputted through a different transmission line or a different \*\*\*\* method.

[0032] If Signal AI and the arrival signal BI of a duty ratio 5:5 are inputted into the EXOR circuit 22 in this case, that phase contrast  $\phi$  will be detected by the circuit 22 concerned. This phase contrast  $\phi$  is a difference of the rising edge of Signal AI and Signal BI, and serves as a period of "H" level of the phase detecting signal S1. When Signals AI and BI are "L" level, and when both they are "H" level, as for both the phase detecting signals S1 detected here, signal S= [ 1 ] "L" level is outputted to the EXOR circuit 24. Moreover, when Signal AI or BI which one side is "H" level, signal S= [ 1 ] "H" level is outputted to the EXOR circuit 24.

[0033] On the other hand, if the arrival signal BI is delayed by the delay gate 23 in order to amend signal delay in the EXOR circuit 22, based on the phase detecting signal S1 from the EXOR circuit 22, phase correction of this delay arrival signal S2 will be carried out by the EXOR circuit 24.

Consequently, the output (exclusive OR) signal BO is acquired from the EXOR circuit 24. This output signal BO serves as [ both ] signal BO= "L" level, when signals S1 and S2 are "L" level, and when both they are "H" level. Moreover, it is set to signal BO= "H" level when a signal S1 or S2 which one side is "H" level.

[0034] Thereby, the output signal BO from the EXOR circuit 24 is synchronized from delay gate 21B to an output signal AO. In addition, the amount of signal delay by phase detection and amendment of Signal BI and the amount of delay of Signal AI are arranged by the delay gates 21A and 21B. Next, as shown in drawing 5, it is the case where BI signal is synchronized with AI signal with an equal frequency, is the case (phase contrast  $\phi$ ) where the phase of BI signal is progressing rather than AI signal, and the case where the duty ratio of both the signals AI and BI is 5:5 is explained.

[0035] In this case, if Signal AI and the arrival signal BI are inputted into the EXOR circuit 22, that phase contrast  $\phi$  will be detected by the circuit 22 concerned. The phase detecting signal S1 detected here is outputted to the EXOR circuit 24. On the other hand, based on the phase detecting signal S1 from the EXOR circuit 22, phase correction of the delay arrival signal S2 from the delay gate 23 is carried out by the EXOR circuit 24, and it doubles with the duty ratio 5:5 of Signal AI. Thereby, the output signal BO from the EXOR circuit 24 is synchronized from delay gate 21B to an output signal AO.

[0036] In addition, as shown in drawing 6, it is the case where BI signal is synchronized with AI signal with an equal frequency, and, as for the phase detecting signal S1 from the EXOR circuit 22, BI signal and AI signal serve as "L" level at an inphase (phase contrast  $\phi=0$ ) case. Moreover, as shown in drawing 7, it is the case where BI signal is synchronized with AI signal with an equal frequency, and when about 180 degrees of phases have shifted [ BI signal and AI signal ] ( $\phi=180$  degrees of phase contrast), the phase detecting signal S1 from the EXOR circuit 22 serves as "H" level.

[0037] Next, as shown in drawing 8, it is the case (phase contrast  $\phi$ ) where the phase of BI signal is behind AI signal, and moreover, the duty ratio of Signal AI is 8:4 and the case where the duty ratio of Signal BI is 3:9 is explained in the case where BI signal is synchronized with AI signal. In this case, if Signal AI and the arrival signal BI are inputted into the EXOR circuit 22, that phase contrast  $\phi$  will be detected by the circuit 22 concerned. The phase detecting signal S1 detected here is outputted to the EXOR circuit 24. Moreover, the duty ratio 3:9 of the delay arrival signal S2 is compulsorily doubled with the duty ratio 8:4 of Signal AI by the 2nd falling from the standpoint of the beginning of the phase detecting signal S1.

[0038] On the other hand, based on the phase detecting signal S1 from the EXOR circuit 22, phase correction of the delay arrival signal S2 from the delay gate 23 is carried out by the EXOR circuit 24, and it doubles with the duty ratio 8:4 of Signal AI. Thereby, the output signal BO of the duty ratio 8:4 from the EXOR circuit 24 is synchronized by the output signal AO of the duty ratio 8:4 from delay gate 21B.

[0039] Furthermore, as shown in drawing 9, it is the case (phase contrast  $\phi$ ) where the phase of BI

signal is behind AI signal, and moreover, the duty ratio of Signal AI is 8:4 and the case where the duty ratio of Signal BI is 10:2 is explained in the case where BI signal is synchronized with AI signal. In this case, if Signal AI and the arrival signal BI are inputted into the EXOR circuit 22, that phase contrast  $\phi$  will be detected by the circuit 22 concerned. The phase detecting signal S1 detected here is outputted to the EXOR circuit 24. Moreover, the duty ratio 10:2 of the delay arrival signal S2 is compulsorily doubled with the duty ratio 8:4 of Signal AI by the 2nd standup from the standup of the beginning of the phase detecting signal S1.

[0040] On the other hand, based on the phase detecting signal S1 from the EXOR circuit 22, phase correction of the delay arrival signal S2 from the delay gate 23 is carried out by the EXOR circuit 24, and it doubles with the duty ratio 8:4 of Signal AI. Thereby, the output signal BO of the duty ratio 8:4 from the EXOR circuit 24 is synchronized by the output signal AO of the duty ratio 8:4 from delay gate 21B.

[0041] Thus, according to the signal synchronization circuit concerning the 1st example of this invention, as shown in drawing 2, it has the delay gates 21A, 21B, and 23 and the EXOR circuits 22 and 24. For this reason, the output signal BO from the EXOR circuit 24 can be synchronized with an output signal AO from delay gate 21B. At this time, the amount of signal delay by phase detection and amendment of Signal BI and the amount of delay of Signal AI are arranged by the delay gates 21A and 21B.

[0042] The phase contrast  $\phi$  of two signals AI and BI can change with time amount, or by this, even if it is the case where the duty ratio of both the signals AI and BI is changed, phase correction of both the signals AI and BI and amendment of a duty ratio can be easily performed to coincidence, and it becomes possible to cope with synchronization of an input signal enough. Moreover, according to the signal synchronization approach concerning the example of this invention, if the 1st exclusive OR of the signal AI of the duty ratio of arbitration and the arrival signal BI is taken, the 2nd exclusive OR of the output signal S1 acquired by it and the signal S2 delayed in Signal BI will be taken.

[0043] For this reason, even if it is the case where the duty ratios of two signals AI and BI differ, the output signal AO delayed in Signal AI and the output signal BO acquired by the 2nd exclusive OR can be synchronized, and moreover, phase correction of the signal BI of one duty ratio can be carried out, and step can be kept with the signal AI of the duty ratio of another side. It enables this to double the signal BI of a strange duty ratio with the signal AI of the duty ratio of arbitration. For example, even when adjustable [ of the duty ratio of the signal AI used as a synchronous target ] is carried out, the signal BI of a strange duty ratio can be compulsorily arranged with the duty ratio of Signal AI.

[0044] (2) The explanatory view 10 of the 2nd example shows the block diagram of the signal synchronization circuit concerning the 2nd example of this invention. Unlike the 1st example, in the 2nd example, the 2 input exclusive OR circuit (only henceforth an EXOR circuit) where "L" level was supplied to reference input is prepared. That is, the signal synchronization circuit concerning the 2nd example is equipped with five EXOR circuits 31A, 31B, 32, 33, and 34 as shown in drawing 10. The EXOR circuits 31A and 31B are other examples of the 1st delay circuit 11 shown in drawing 1, a reference signal AI is inputted into one input of circuit 31A, and "L" level is supplied to the reference input.

[0045] Moreover, the fanout signal from circuit 31A is inputted into one input of EXOR circuit 31B, and "L" level is supplied to the reference input. Thereby, the output signal AO delayed from circuit 31B in Signal AI is acquired. The EXOR circuits 33 are other examples of the 2nd delay circuit 13 shown in drawing 1, the arrival signal BI is inputted into one input of a circuit 33, and "L" level is supplied to the reference input. Thereby, the delay arrival signal S2 is outputted to the EXOR circuit 34 from a circuit 33. In addition, the EXOR circuit 32 constitutes a phase detector and the EXOR circuit 34 constitutes phase compensator, respectively. Since the wave of operation is the same as that of the 1st example, the explanation is omitted.

[0046] Thus, according to the signal synchronization circuit concerning the 2nd example of this invention, as shown in drawing 10, the delay circuit which consists of the EXOR circuits 31A and 31B where "L" level was supplied to reference input, or the EXOR circuit 33 is prepared. For this reason, the

amount of signal delay by phase detection and amendment of Signal BI can be arranged with the amount of gate delay of the EXOR circuits 31A and 31B, and the amount of delay of Signal BI and Signal AI becomes equivalent. Moreover, the amount of signal delay by the EXOR circuit 32 can be arranged with the amount of gate delay of the EXOR circuit 33, and the amount of delay of Signal BI and the arrival delay signal S2 becomes equivalent.

[0047] Thereby, the output signal BO from the EXOR circuit 34 can be synchronized with an output signal AO from EXOR circuit 31B like the 1st example. Moreover, if the phase contrast  $\phi$  of two signals AI and BI changes with time amount, or the arrival signal BI is delayed by the EXOR circuit 33 even if it is the case where the duty ratio of both the signals AI and BI is changed, based on the phase detecting signal S1 from the EXOR circuit 32, phase correction of this delay arrival signal S2 will be carried out by the EXOR circuit 34.

[0048] It becomes possible to synchronize both the signals AI and BI easily like the 1st example by this. Moreover, since the EXOR circuit which constitutes a signal synchronization circuit is manufactured according to the same process process, the amount of signal delay can be doubled in self align.

(3) The explanatory view 11 of the 3rd example (A) and (B) show the block diagram of the signal synchronization circuit concerning the 3rd example of this invention, respectively. Unlike the 1st and 2 example, capacity C is connected to the output of delay gate 21B, or the output of the EXOR circuit 24 in the 3rd example.

[0049] Drawing 11 (A) shows the circuit which connected capacity to the output of the signal synchronization circuit concerning the 1st example. In drawing 11 (A), capacity C11 is an example of the 1st adjustment component 15, and is a component which carries out timing adjustment of an output signal AO delayed by the delay gates 21A and 21B. It connects between the output of delay gate 21B, and a grounding conductor GND, and capacity C11 takes C12 and balance. Capacity C12 is an example of the 2nd adjustment component 16, and is a component which carries out timing adjustment of the output signal BO from the EXOR circuit 24. Capacity C12 is connected between the output of the EXOR circuit 24, and a grounding conductor GND.

[0050] Drawing 11 (B) shows the circuit which connected capacity to the output of the signal synchronization circuit concerning the 2nd example. In drawing 11 (B), capacity C21 is a component which carries out timing adjustment of the output signal AO from EXOR circuit 31B. Capacity C22 is a component which carries out timing adjustment of the output signal BO from the EXOR circuit 34. In addition, since the wave form chart of operation is the same as that of the 1st example, the explanation is omitted.

[0051] Thus, according to the signal synchronization circuit concerning the 3rd example of this invention, as shown in drawing 11 (A) and (B), the capacity C12 and C22 which carry out timing adjustment of the capacity C11 which carries out timing adjustment of the output signal AO, C21, and the output signal BO are prepared. For this reason, what a glitzy \*\* noise etc. is stopped for (it is made to become blunt) is made by adjusting a wave-like standup and wave-like falling (timing adjustment) for the EXOR circuit 24 or the output signal BO from 34 by capacity C12 or C22. In addition, the load characteristic of Signal BO and Signal AO can be arranged by carrying out timing adjustment of the output signal AO from delay gate 21B or EXOR circuit 31B by capacity C11 or C21.

[0052] Thereby, compared with the 1st and 2nd example, what a duty ratio is arranged with the phase correction and coincidence of both the signals AI and BI with a still more sufficient precision for (synchronization) becomes possible.

(4) The explanatory view 12 of the 4th example (A) and (B) show the block diagram of the signal synchronization circuit concerning the 4th example of this invention, respectively. Unlike the 3rd example, diode is connected to the output of delay gate 21B, or the output of the EXOR circuit 24 in the 4th example.

[0053] Drawing 12 (A) shows the circuit which connected diode to the output of the signal synchronization circuit concerning the 1st example. In drawing 12 (A), diodes D11 are other examples of the 1st adjustment component 15, and are components which carry out timing adjustment of an output signal AO delayed by the delay gates 21A and 21B. It connects to hard flow between the output of delay

gate 21B, and a grounding conductor GND, and diode D11 takes diode D12 and balance. Thereby, the same function as the capacity C of the 3rd example is obtained.

[0054] The example of this invention constitutes diode D11 from a bipolar transistor. For example, the transistor and base emitter which connected the collector base are connected, and a transistor is applied. All connect an emitter to each gate output, and connect a collector to a grounding conductor VEE, respectively. Diodes D12 are other examples of the 2nd adjustment component 16, and are components which carry out timing adjustment of the output signal BO from the EXOR circuit 24.

[0055] Drawing 12 (B) shows the circuit which connected diode to the output of the signal synchronization circuit concerning the 2nd example. In drawing 12 (B), diode D21 is a component which carries out timing adjustment of the output signal AO from EXOR circuit 31B. Diode D22 is a component which carries out timing adjustment of the output signal BO from the EXOR circuit 34. In addition, since the wave form chart of operation is the same as that of the 1st example, the explanation is omitted.

[0056] Thus, according to the signal synchronization circuit concerning the 4th example of this invention, as shown in drawing 12 (A) and (B), the diode D12 and D22 which carry out timing adjustment of the diode D11 which carries out timing adjustment of the output signal AO, D21, and the output signal BO are prepared, and it connects with hard flow to the output of delay gate 21B, and the output of the EXOR circuits 24, 31B, and 34, respectively.

[0057] For this reason, what a glitzy \*\* noise etc. is stopped for (it is made to become blunt) is made by adjusting a wave-like standup and wave-like falling (timing adjustment) for the EXOR circuit 24 or the output signal BO from 34 by diode D12 or D22. In addition, the load characteristic of Signal BO and Signal AO can be arranged like the 3rd example by carrying out timing adjustment of the output signal AO from delay gate 21B or EXOR circuit 31B by diode D11 or D21.

[0058] Thereby, what a duty ratio is arranged with the phase correction and coincidence of both the signals AI and BI with a sufficient precision for (synchronization) becomes possible like the 3rd example.

[0059]

[Effect of the Invention] As explained above, according to the signal synchronization circuit of this invention, it has the 1st and 2nd delay circuit delayed in both signals, the phase detector which detects the phase contrast of both signals, and the phase compensator which amends phase correction and a duty ratio. For this reason, the phase contrast of two signals can change with time amount, or even if it is the case where the duty ratio of both signals is changed, the output signal from phase compensator can be synchronized from the 1st delay circuit to an output signal by carrying out phase correction by the phase compensator based on a phase detecting signal for the delay signal from the 2nd delay circuit. Moreover, compared with the conventional example, both signals can be synchronized easily and it becomes possible to cope with synchronization of an input signal enough.

[0060] According to other signal synchronization circuits of this invention, the 2nd adjustment component which carries out timing adjustment of the 1st adjustment component and output signal which carry out timing adjustment of the output signal is prepared. For this reason, what a glitzy \*\* noise etc. is stopped for (it is made to become blunt) is made by adjusting a wave-like standup and wave-like falling for the output signal from phase compensator by the 2nd adjustment component. Moreover, the load characteristic of both signals can be arranged by the 1st adjustment component.

[0061] According to the signal synchronization approach of this invention, if the 1st exclusive OR of the signal of the duty ratio of arbitration and the signal of another side is taken, the 2nd exclusive OR of the output signal acquired as a result and the signal delayed in the signal of another side will be taken. For this reason, even if it is the case where the duty ratios of two signals differ, phase contrast of the output signal delayed in one signal and the output signal acquired by the 2nd exclusive OR can be made into zero, and the duty ratio of the signal of another side can be compulsorily arranged with the signal of one duty ratio.

[0062] By this, communication link conditions are severe and the signal synchronization circuit which doubles with the signal of the duty ratio of arbitration a signal with which a duty ratio is changed is

offered. Moreover, the place which contributes to improvement in the dependability of the communication device adapting a signal synchronization circuit etc. is large.

---

[Translation done.]



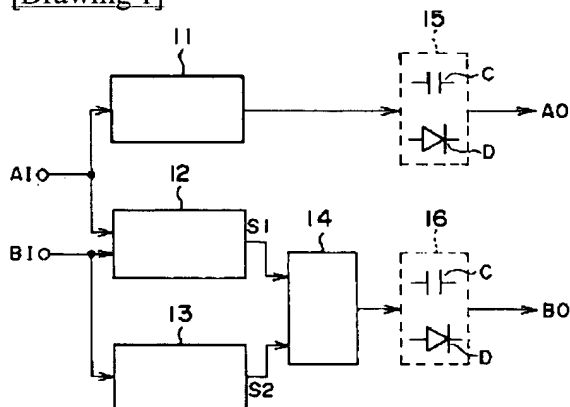
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]



11 ; 第1の遅延回路

A1 ; 一方の信号

12 ; 位相検出回路

B1 ; 他方の信号

13 ; 第2の遅延回路

S1 ; 位相検出信号

14 ; 位相補正回路

S2 ; 遅延信号

15 ; 第1の調整素子

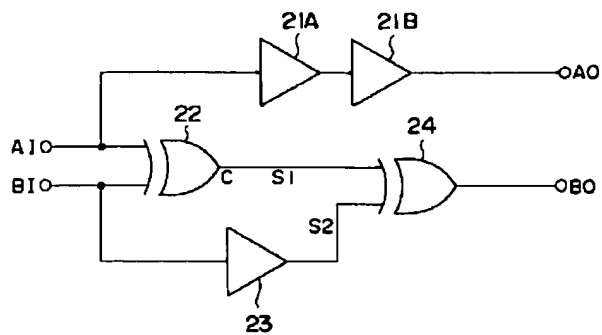
C ; 容量

16 ; 第2の調整素子

D ; ダイオード

A0,B0 ; 出力信号

[Drawing 2]



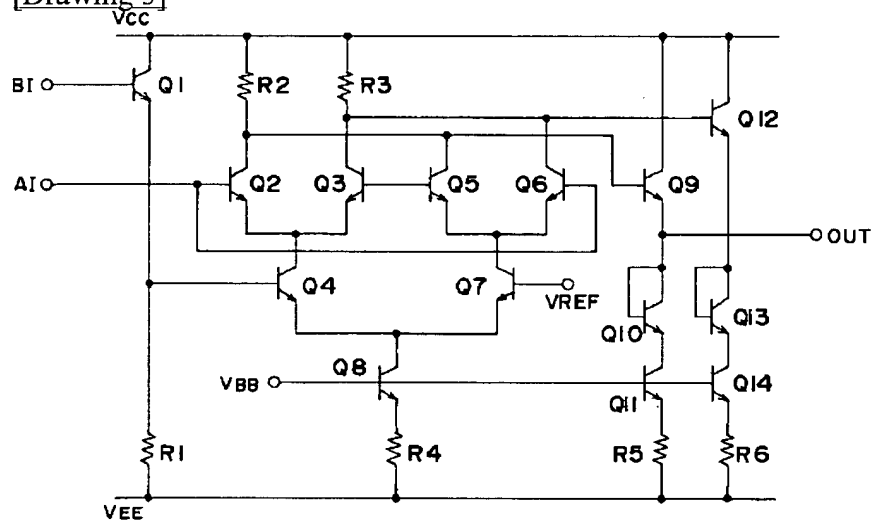
21A, 21B ; 遅延ゲート

22 ; EXOR 回路

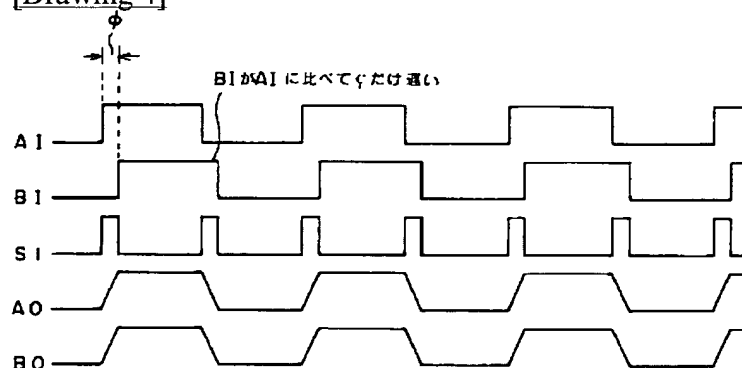
23 ; 遅延ゲート

24 ; EXOR 回路

[Drawing 3]

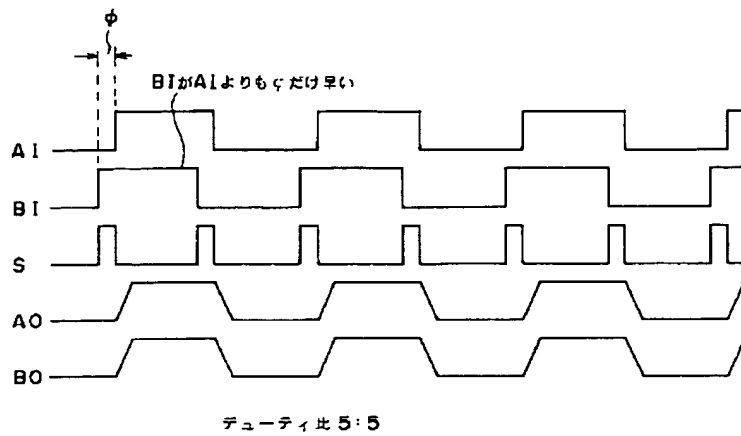


[Drawing 4]

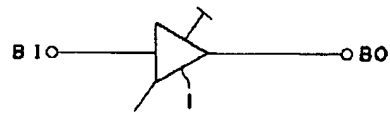


デューティ比 5:5

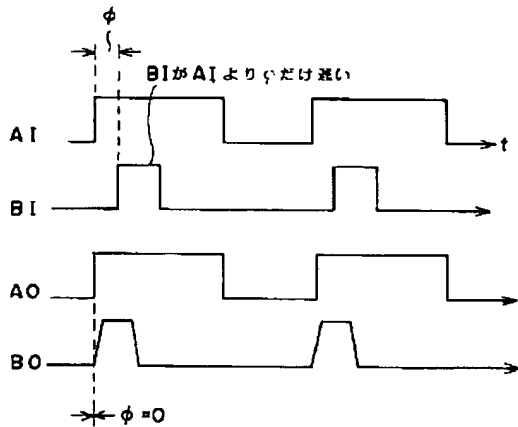
[Drawing 5]



[Drawing 13]

A1  $\circ$  A0

(A)

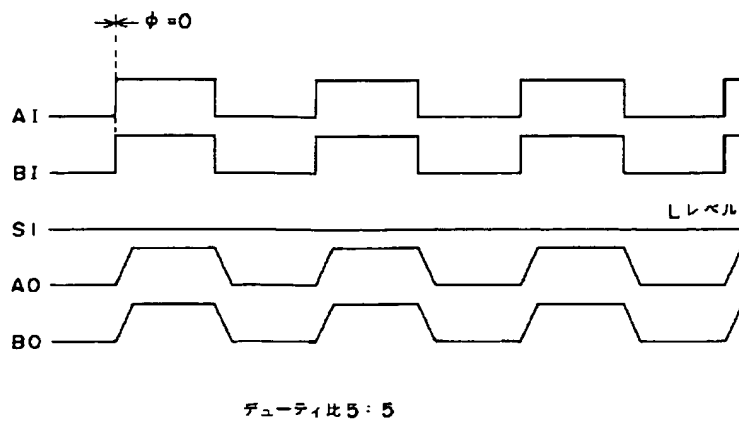


A1: デューティ比 6:4

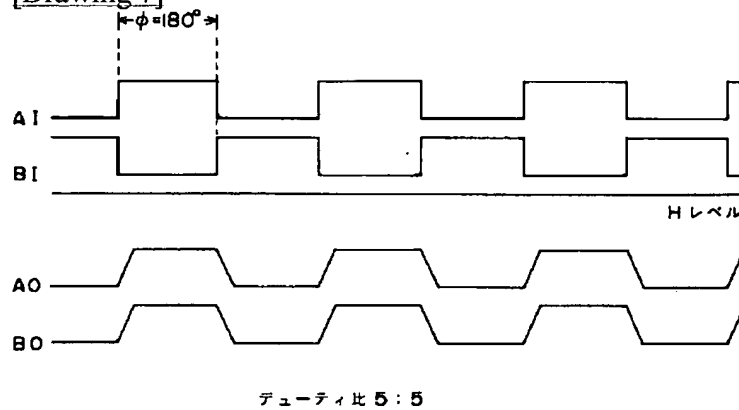
B1: デューティ比 8:2

(B)

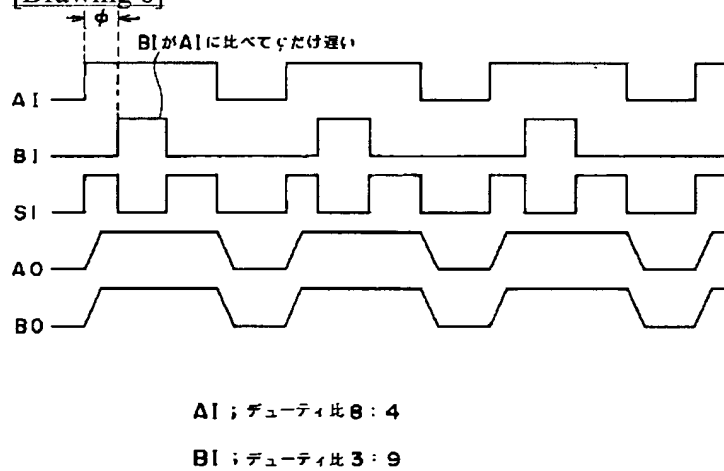
[Drawing 6]



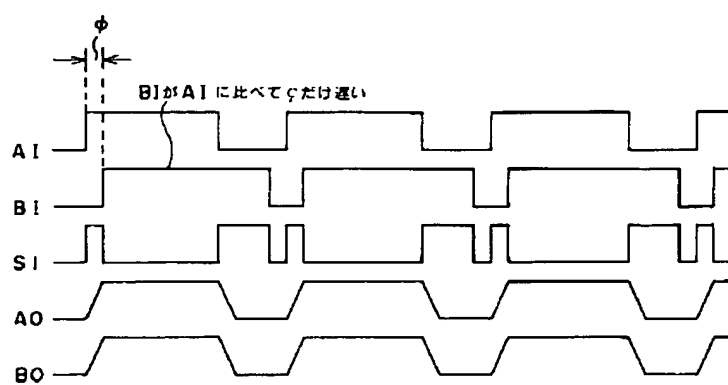
[Drawing 7]



[Drawing 8]



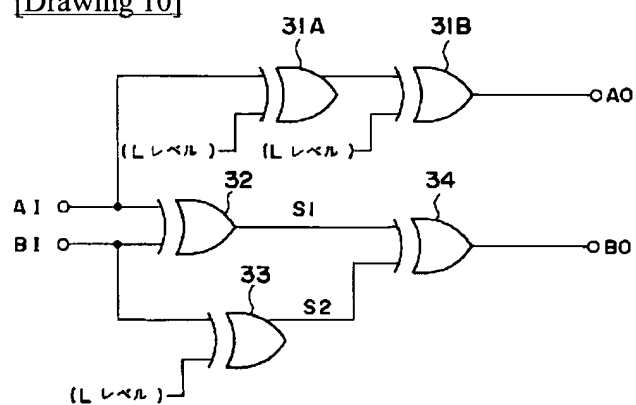
[Drawing 9]



AI : デューティ比 8 : 4

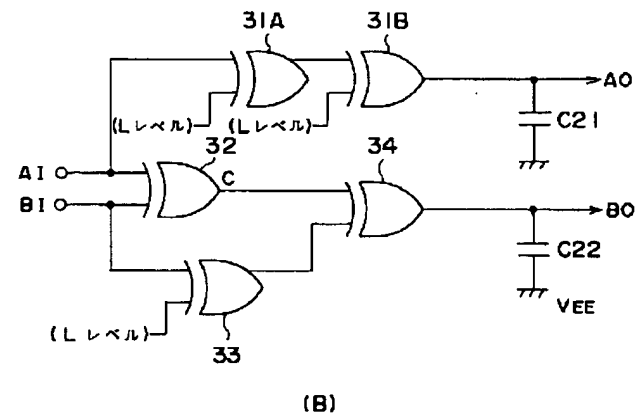
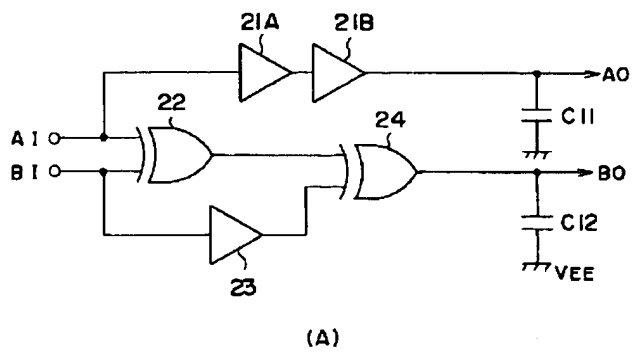
BI ; デューティ比 10 : 2

[Drawing 10]

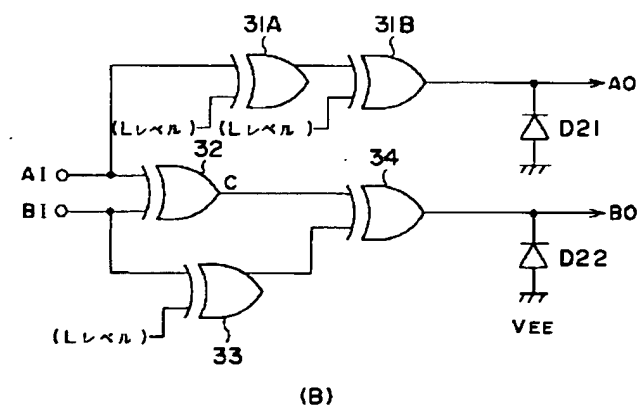
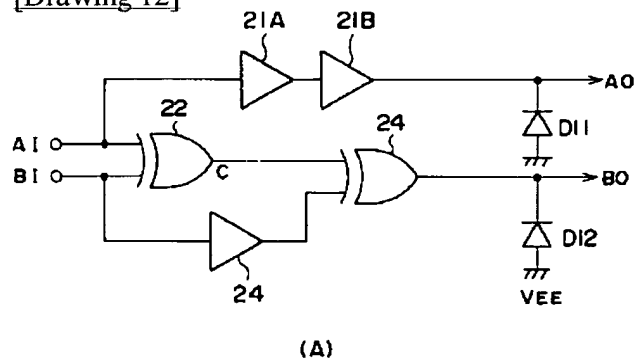


31A, 31B, 32~34 ; EXOR 回路

[Drawing 11]



[Drawing 12]



---

[Translation done.]